

Limit arrangement for switching high capacitive loads at given voltage level.

Patent Number: ☐ EP0545059, B1
Publication date: 1993-06-09
Inventor(s): SODEIKAT DIETER (DE)
Applicant(s): DEUTSCHE AEROSPACE (DE)
Requested Patent: ☐ DE4139762
Application Number: EP19920118172 19921023
Priority Number(s): DE19914139762 19911203
IPC Classification: H03K17/06
EC Classification: H03K17/06B
Equivalents:
Cited patent(s):

Abstract

The circuit is constructed as driver circuit with cascade-connected identical voltage-raising chips (JC1, JC2) arranged in stages in series with one another. 

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 41 39 762 C 2

⑤1 Int. Cl. 8:
H 03 K 17/00
H 03 K 5/01
H 02 M 3/07

⑳ Aktenzeichen: P 41 39 762.2-31
㉑ Anmeldetag: 3. 12. 91
㉒ Offenlegungstag: 9. 6. 93
㉓ Veröffentlichungstag
der Patenterteilung: 12. 9. 96

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

㉔ Patentinhaber:

Daimler-Benz Aerospace Aktiengesellschaft, 80804
München, DE

㉕ Erfinder:

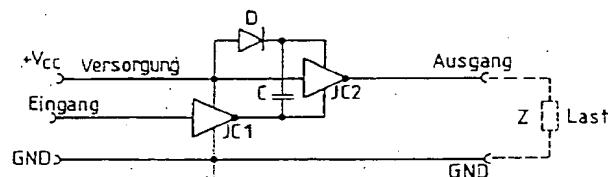
Sodeikat, Dieter, Ing.(grad.), 82065 Baierbrunn, DE

㉖ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

US 49 73 919
DONALDSON, P.E.K.: »The Mosmarx voltage
multiplier«, In: Electronics & Wireless World, Vol. 94,
Nr. 1630, Aug. 1988, S. 748-750;
SAX, H. et al: »Smart-Power: verlustarme
Steuerungs-Treiber«, In: Elektronik 7/1991,
S. 152-156;

㉗ Schaltungsanordnung zum Schalten hoher kapazitiver Lasten bei bestimmtem Spannungspegel

㉘ Kaskadenschaltung zum Schalten hoher kapazitiver Lasten mit wenigstens zwei hintereinander angeordneten Schaltstufen, wobei jede einer ersten Eingangsstufe (IC1) nachfolgende Stufe (IC2, D, C) als gleichartiger, spannungserhöhender integrierter Halbleiterbaustein — bestehend aus mehreren parallel geschalteten Invertern (IC2), mindestens einer Diode (D) und mindestens einem an die beiden Spannungsversorgungsanschlüsse der parallel geschalteten Inverter angeschlossenen Ladekondensator (C) — ausgebildet ist, wobei der eine Spannungsversorgungsanschluß der parallel geschalteten Inverter einer jeden der ersten Stufe (IC1) nachfolgenden Stufe (IC2, D, C) mit dem Ausgang der vorhergehenden Stufe (IC1) und der andere Spannungsversorgungsanschluß über die genannte Diode (D) mit einem Versorgungspotential ($+V_{CC}$) verbunden ist und wobei der Eingang einer jeden der ersten Stufe nachfolgenden Stufe mit dem anderen Versorgungsanschluß der vorhergehenden Stufe verbunden ist.



DE 41 39 762 C 2

DE 41 39 762 C 2

Die Erfindung betrifft eine Schaltungsanordnung zum Schalten hoher kapazitiver Lasten bei bestimmten Spannungspegeln. Solche hohen kapazitiven Lasten können z. B. sein: Treiberbausteine für die Ansteuerung von ladungsgekoppelten Bausteinen (CCD's), Treiber zur Steuerung von anderen Sensoren oder Aktoren und Treiber für Taktgeber. Die dabei verwendeten Techniken können Metalloxid-Halbleiter, insbesondere CMOS-Techniken oder HC-MOS- oder AHC-MOS-Techniken, oder MOS-FET-Schalter oder andere Hochleistungsschalter als integrierte Schaltkreise sein. Die Anforderungen, welche z. B. insbesondere für Raumfahrtanwendungen an derartige Schalter bzw. Steuerungstreiber gestellt werden, sind hoch, insbesondere sollen sie verlustarm und strahlungsfest von hoher Qualität und trotzdem preiswert sein.

Den derzeitigen Stand der Technik gibt recht gut der Aufsatz von Herbert Sax und Michael Barou "Smart-Power" in Elektronik 7/1991, Seite 152 ff. wieder. Im Stand der Technik wird jeweils nur eine einzige Treiberstufe verwendet, um verlustarm arbeiten zu können. Um die Eingangslogik dort TTL-kompatibel zu erhalten, wird ein konstanter Spannungsabfall erzeugt.

Aus der Literaturstelle: Donaldson, P.E.K.: "The Mosmarx voltage multiplier", in: Electronics & Wireless World, Vol. 94, Nr. 1630, Aug. 1988, S. 748—750, ist eine Schaltung bekannt geworden, mit der hohe kapazitive Lasten schaltbar sind. Die Schaltung ist als mehrstufige Kaskadenschaltung ausgelegt, bei der jede gleichartige Stufe spannungserhöhend wirkt. Als besonders nachteilig wirkt sich die schaltungstypische Eigenschaft aus, daß die Schaltelemente der höheren Kaskadenstufen jeweils für das entsprechende Vielfache der Versorgungsspannung ausgelegt sein müssen. Dies reduziert jedoch die Schaltgeschwindigkeit der gesamten Kaskadenschaltung.

Es ist deshalb Aufgabe der Erfindung, ausgehend von der Anwendung handelsüblicher integrierter Halbleiter-Bausteine (IC's) mit etwa 5 V Versorgungs- bzw. Ausgangsspannung eine Schaltungsanordnung zum Schalten hoher kapazitiver Lasten zu entwerfen, die nur eine Spannungsquelle benötigt und deren Bauelemente nur für die Höhe dieser Spannungsquelle ausgelegt sein müssen.

Gelöst wird diese Aufgabe erfindungsgemäß durch die Merkmale des Patentanspruchs.

Die wesentlichsten Vorteile der Erfindung sind:

- die Erfüllung der eingangs genannten Forderungen, insbesondere für Raumfahrtanwendungen,
 - sehr niedrige Verlustleistung im Ruhezustand "CMOS",
 - niedrige frequenzproportionale innere Verluste "CMOS",
 - höherer Wirkungsgrad beim Betrieb mit großen kapazitiven Lasten
 - sehr niedrige Treiberleistung "CMOS",
 - niedrige Betriebsspannungen,
 - Betrieb mit sehr hohen kapazitiven Lasten,
 - keine Offsetspannung bezüglich Bezugspotential (Ground),
 - sehr kurze Verzögerungszeiten,
 - kurze Anstiegs- und Abfallzeiten und
 - die Vorteile der verwendeten Bauteile preiswerte Serienprodukte
- nach MIL- und Raumfahrtspezifikation erhältlich

Die Erfindung eignet sich gleichermaßen als Treiber bei der Ansteuerung von Sensoren sowie bei Aktoren. Besonders bewährt hat sie sich für die Ansteuerung von ladungsgekoppelten Vorrichtungen, die schnell schalten müssen und große kapazitive Lasten enthalten. Sie sind ferner besonders geeignet als Wechselspannungstreiber und Treiber, deren statischer Zustand "Low" ist. Beim Ausgangspegel "High" ist die Stufenschaltung im statischen Betrieb allerdings nicht mit besonderen ohmschen Lasten belastbar, was jedoch für die vorgenannten Anwendungen unerheblich ist. Die erfindungsgemäße Schaltungsanordnung erreicht Überschwinger und Unterschwinger $\leq 1\%$. Die Eingangsspannung bzw. Versorgungsspannung kann um etwa $\pm 15\%$ schwanken. Die Anstiegszeiten bzw. Abfallzeiten liegen im ns-Bereich, der Betriebsstrom im Leerlauf im mA-Bereich und die Betriebsleistung im Leerlauf im mW-Bereich, das Tastverhältnis in einem Ausführungsbeispiel bei einer Taktfrequenz von 5 MHz bei 50%. Die angewendeten kapazitiven Lasten lagen zwischen etwa 500 pF und nahezu 1000 pF.

In den Ausführungsbeispielen zeigt:

Fig. 1 zwei Stufen mit integriertem Halbleiterbaustein,

Fig. 2 drei Stufen mit integrierten Halbleiterbausteinen,

Fig. 3 vier Stufen mit integrierten Halbleiterbausteinen.

Bei allen Ausführungsbeispielen wird eine Erhöhung der Ausgangsspannung der Schaltung durch Kaskadierung mehrerer integrierter Schaltkreise erreicht. Hierbei steigt die Ausgangsspannung etwa um den Faktor n gegenüber der Versorgungsspannung an, je nach Anzahl der Stufen.

Funktionsbeschreibung

Jede kaskadierte Schaltstufe (Fig. 1, 2, 3 — IC 2/3/4) arbeitet nach dem gleichen Prinzip. Im Grundzustand, Eingang logisch "High" (Vcc), werden alle IC's am Eingang auf logisch "High" und bezüglich ihrer negativen Versorgung am Ausgang auf logisch "Low" geschaltet. Somit ist am Ausgang der gesamten Stufe auch logisch "Low" mit einem Innenwiderstand, der sich aus der Serienschaltung aller IC-Innenwiderstände (bei log "Low") ergibt. Gleichzeitig werden alle Ladekondensatoren C über die Dioden D auf die Spannung $V_{CC} - V_{DD}$ aufgeladen (V_{DD} = Diodendurchlaßspannung).

Beim Umschalten des Eingangs von IC 1 auf logisch "LOW" (Ground) springt dessen Ausgang auf logisch "High". Alle kaskadierten IC's erhalten dadurch am Eingang auch logisch "Low" und alle Ausgänge logisch "High". Da sich aber in diesem Zustand die Spannung jeder kaskadierten Stufe auf den Ausgang der vorhergehenden addiert, erscheint am Ausgang die Spannung:

$$U_{\text{Ausgang}} = V_{CC} + (n-1)(V_{CC} - V_{DD})$$

n = Anzahl der kaskadierten Stufen

V_{CC} = Versorgungsspannung

V_{DD} = Diodendurchlaßspannung

Der Innenwiderstand setzt sich aus der Summe aller IC's im logischen "High"-Zustand zusammen.

Es muß beachtet werden, daß bei logisch "High" am

Ausgang der Ausgangsstrom aus den Ladekondensatoren entnommen wird. Aus diesem Grunde muß bei ohmschen Lasten das Tastverhältnis und die Stufendimensionierung aufeinander angepaßt werden, damit die Dachschräge des Pulses im "High"-Zustand nicht zu groß wird. 5

Bei kapazitiven Lasten wird lediglich ein Teil der Kapazität der Ladekondensatoren auf die Lastkapazität umgeschichtet, weshalb keine Dachschräge auftritt.

Außerdem ist zu beachten, daß die IC's (IC 1/2 usw.) auf verschiedenen Potentialen liegen, weshalb für jede Stufe ein separater IC verwendet werden muß. 10

Zur Erhöhung des Ausgangsstroms sind in jedem IC alle Inverterstufen parallel geschaltet.

nungsversorgungsanschluß der parallel geschalteten Inverter einer jeden der ersten Stufe (IC1) nachfolgenden Stufe (IC2, D, C) mit dem Ausgang der vorhergehenden Stufe (IC1) und der andere Spannungsversorgungsanschluß über die genannte Diode (D) mit einem Versorgungspotential ($+V_{cc}$) verbunden ist und wobei der Eingang einer jeden der ersten Stufe nachfolgenden Stufe mit dem anderen Versorgungsanschluß der vorhergehenden Stufe verbunden ist.

Hierzu 1 Seite(n) Zeichnungen

Erläuterung der gewählten Begriffe im Sinne der Erfindung 15

Schaltgeschwindigkeit

Die größtmögliche Geschwindigkeit ist durch den Eigenanstieg der IC's und deren Stromergiebigkeit bei Lastaufschaltung bestimmt. 20

Bei AC-MOS-IC's beträgt die erreichbare Anstiegs- und Abfallzeit ohne Last ca. 10 bis 20 ns. 25

Bei Parallelschaltung der Gatter eines IC's (6 bis 8 Gatter) und Lasten von 1 nF beträgt die Anstiegs- und Abfallzeit ca. 15 bis 25 ns.

Kapazitive Belastung

Die kapazitive Belastung kann beliebig sein, Begrenzung ist die Strombelastbarkeit (Puls und DC) der IC's. Aus diesen Daten läßt sich dann auch die maximale Betriebsfrequenz und An- und Abfallzeit errechnen. Sinnvoll sind Lasten bis ca. 10 nF bei AC-MOS-Bausteinen, bei denen alle internen Gatter parallel geschaltet sind. 30 35

Strahlenfestigkeit

Die Strahlenfestigkeit der gesamten Schaltung hängt nur von der Resistenz der verwendeten IC's ab, bezüglich Dosis und Strahlenart. 40

Als Beispiel können kommerzielle Fairchild AC-MOS-IOC's bis ca. 500 krad eingesetzt werden. 45

Qualifikation, High Rel

Der Qualifikationsgrad und die Zuverlässigkeit (Ausfallrate) hängen lediglich von den verwendeten Bauteilen ab. 50

Die Ausfallrate setzt sich aus der Summe der Ausfallraten aller verwendeten Bauteile zusammen. 55

Patentanspruch

Kaskadenschaltung zum Schalten hoher kapazitiver Lasten mit wenigstens zwei hintereinander angeordneten Schaltstufen, wobei jede einer ersten Eingangsstufe (IC1) nachfolgende Stufe (IC2, D, C) als gleichartiger, spannungserhöhender integrierter Halbleiterbaustein — bestehend aus mehreren parallel geschalteten Invertern (IC2), mindestens einer Diode (D) und mindestens einem an die beiden Spannungsversorgungsanschlüsse der parallel geschalteten Inverter angeschlossenen Ladekondensator (C) — ausgebildet ist, wobei der eine Span- 60 65

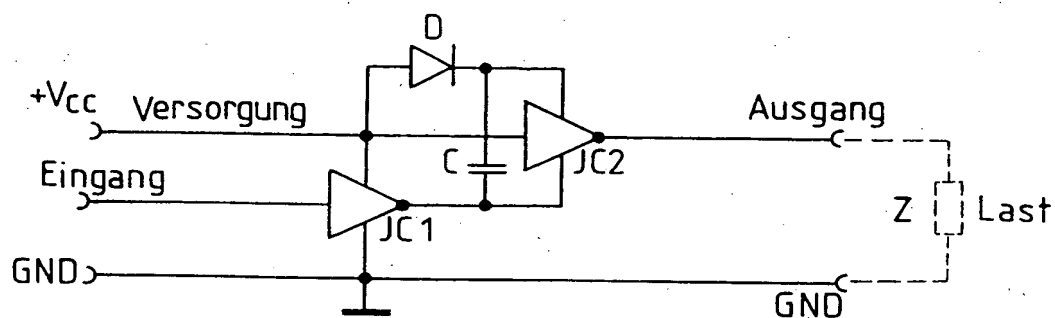


FIG. 1

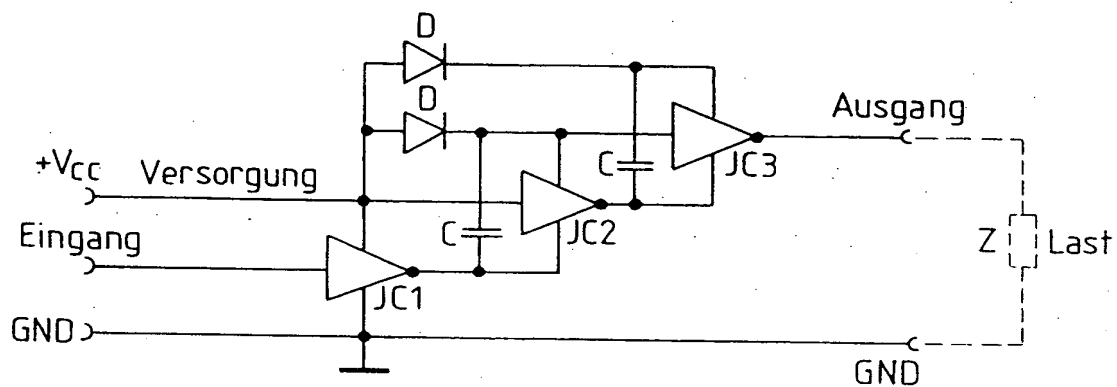


FIG. 2

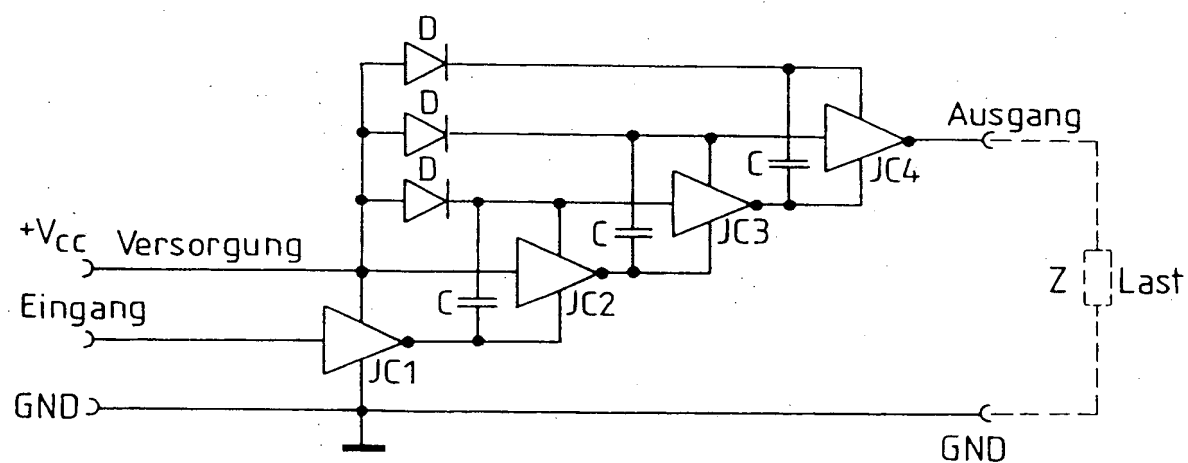


FIG. 3